

CUSTOMER NO. 23932



Docket No.: 61919-00013USPX
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Pascal Urard

Application No.: 10/669886

Confirmation No.: 2232

Filed: September 24, 2003

Art Unit: 2818

For: LIFO TYPE DATA STORAGE DEVICE
INCORPORATING TWO RANDOM ACCESS
MEMORIES

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: 03-22-04

Signature: [Signature]

(Margo Barbarash)

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
France	02 12663	October 11, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: 3/22/04

Respectfully submitted,

By

Andre M. Szuwalski

Registration No.: 35,701

JENKENS & GILCHRIST, A PROFESSIONAL
CORPORATION

1445 Ross Avenue, Suite 3200

Dallas, Texas 75202

(214) 855-4500

(214) 855-4300 (Fax)





02 13668
Plasseraud.
(1)

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le

01 OCT. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

1er dépôt

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*02

REQUÊTE EN DÉLIVRANCE page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 010801

REMISE DES PIÈCES DATE 11 OCT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0212663 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 11 OCT. 2002 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE CABINET PLASSERAUD 84, rue d'Amsterdam 75440 PARIS CEDEX 09	
Vos références pour ce dossier (facultatif) SV/PHB/NC/BFF020204			
Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale		N° _____ Date _____	
ou demande de certificat d'utilité initiale		N° _____ Date _____	
Transformation d'une demande de brevet européen		<input type="checkbox"/>	
Demande de brevet initiale		N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) DISPOSITIF DE MEMORISATION DE DONNEES DE TYPE LIFO INCORPORANT DEUX MEMOIRES A ACCES ALEATOIRE			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		341459386	
Code APE-NAF			
Domicile ou siège	Rue	29, Boulevard Romain Rolland 92120 MONTRouGE	
	Code postal et ville		
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2^{ème} page

REMISE DES PIÈCES DATE 11 OCT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0212663 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	
Vos références pour ce dossier : <i>(facultatif)</i>		SV/PHB/NC/BFF020204	
6 MANDATAIRE (s'il y a lieu) Nom Prénom Cabinet ou Société N° de pouvoir permanent et/ou de lien contractuel Adresse Rue Code postal et ville Pays N° de téléphone <i>(facultatif)</i> N° de télécopie <i>(facultatif)</i> Adresse électronique <i>(facultatif)</i>		Cabinet PLASSERAUD 84, rue d'Amsterdam 75009 PARIS	
7 INVENTEUR (S) Les demandeurs et les inventeurs sont les mêmes personnes		Les inventeurs sont nécessairement des personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
3 RAPPORT DE RECHERCHE Établissement immédiat ou établissement différé		Uniquement pour une demande de brevet (y compris division et transformation) <input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé	
Paiement échelonné de la redevance <i>(en deux versements)</i>		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG</i>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Stéphane VERDURE CPI N° 97-0901		VISA DE LA PRÉFECTURE OU DE L'INPI M. ROCHET	

DISPOSITIF DE MEMORISATION DE DONNEES DE TYPE LIFO
INCORPORANT DEUX MEMOIRES A ACCES ALEATOIRE

La présente invention concerne un dispositif de mémorisation LIFO (« Last In, First Out »), autrement connu sous la désignation de pile inverse.

5 Un dispositif de mémorisation de type LIFO est caractérisé par une profondeur P, P étant un nombre entier pouvant être de la forme 2^N , N étant un entier. Le dispositif a pour fonction de mémoriser une succession de données produites par une source de données selon un ordre chronologique déterminé, et de restituer ces données par séquences successives de P données, l'ordre
10 chronologique de restitution des données à l'intérieur de chaque séquence étant inverse de l'ordre chronologique de production des données par la source. La mémorisation par le dispositif de données produites par la source est poursuivie simultanément à la restitution des données, d'une façon cadencée selon une suite d'intervalles de temps successifs définis par ailleurs.
15 Ainsi, en régime de fonctionnement établi du dispositif de mémorisation, un enregistrement d'une donnée et une restitution d'une autre donnée sont opérés à chaque intervalle de temps.

De façon connue de l'Homme du Métier, un dispositif de mémorisation de type LIFO de profondeur P peut être constitué de deux mémoires à accès
20 aléatoire et à port unique (ou mémoire « SP-RAM » pour « Single Port Random Access Memory »), identiques et à P adresses chacune, auxquelles sont adressées les séquences de P données. Dans ce type de dispositif, les données d'une même séquence peuvent être adressées à une même mémoire, en alternant entre les deux mémoires RAM pour deux séquences
25 successives de données. Ainsi, à chaque intervalle de temps du cadencement du fonctionnement du dispositif de mémorisation, une donnée d'une séquence en cours de production par la source de données est inscrite dans l'une des deux SP-RAMs, alors qu'une autre donnée de la séquence de données immédiatement antérieure est simultanément lue dans l'autre SP-RAM. Pour
30 obtenir le fonctionnement en pile inverse, la lecture dans chaque SP-RAM est effectuée suivant un ordre des adresses de cette SP-RAM inverse de l'ordre des mêmes adresses suivant lequel les données ont été préalablement

inscrites dans cette SP-RAM.

Ce type de dispositif de mémorisation nécessite par conséquent deux SP-RAMs, chacune d'elles ayant au moins autant d'adresses que la profondeur P du dispositif. Cette capacité importante de mémorisation engendre un coût important, dû en particulier à la surface de substrat semiconducteur nécessaire pour réaliser les modules de mémoire correspondants.

La capacité de mémorisation nécessaire pour un dispositif de mémorisation de type LIFO de profondeur P peut être réduite à une seule mémoire RAM à P adresses, en utilisant une mémoire de type DP-RAM (ou « Dual Port-RAM »). A chaque intervalle de temps du cadencement du fonctionnement du dispositif de mémorisation, une donnée d'une séquence en cours de production par la source de données peut alors être inscrite dans la DP-RAM simultanément à la lecture dans cette DP-RAM d'une autre donnée de la séquence de données immédiatement antérieure. Cette écriture et cette lecture sont effectuées à deux adresses successives selon un ordre de parcours des adresses de la DP-RAM. Pour obtenir le fonctionnement en pile inverse, les données d'une même séquence sont inscrites puis lues dans la DP-RAM en parcourant les adresses de la DP-RAM selon des ordres inverses entre l'écriture et la lecture des données de cette séquence. Dans ces conditions, un seul module de mémoire à P adresses est suffisant.

Un inconvénient de ce dernier mode de réalisation de dispositifs de mémorisation de type LIFO réside dans l'utilisation de modules de mémoire DP-RAM. En effet, les modules de mémoire DP-RAM sont plus chers et plus volumineux que les modules de mémoire SP-RAM, pour une même capacité de mémorisation. Ils sont donc particulièrement pénalisants pour la réalisation de circuits peu chers et de dimensions réduites.

La présente invention a pour but de proposer un dispositif de mémorisation de type LIFO de profondeur $P=2^N$, N étant un nombre entier, comprenant deux mémoires RAM pouvant chacune avoir à partir de $P/2$ adresses d'enregistrement de données.

Un dispositif de mémorisation selon l'invention comprend :

- deux mémoires à accès aléatoire ayant chacune au moins 2^{N-1} emplacements pour stocker des données à des adresses respectives, N étant un entier supérieur à 1, une entrée de données reliée à une source de données, une entrée de commande, une entrée d'adresse et une sortie ;

5 - des moyens de multiplexage ayant des première et seconde entrées de données respectivement reliées aux sorties de données des deux mémoires, une troisième entrée de données reliée à la source de données et une sortie reproduisant des données présentes à l'une desdites première, seconde et troisième entrées de données sélectionnée par des signaux
10 d'aiguillage ;

 - un contrôleur pour délivrer, dans des intervalles de temps successifs, des signaux électriques sur des sorties du contrôleur incluant deux sorties de commande d'accès respectivement reliées aux entrées de commande des deux mémoires, deux sorties d'adresse respectivement reliées
15 aux entrées d'adresse des deux mémoires et au moins une sortie de commande d'aiguillage pour délivrer lesdits signaux d'aiguillage ; et

 - des moyens pour échantillonner la sortie des moyens de multiplexage au début de chaque intervalle de temps et produire des données de sortie du dispositif.

20 Dans le dispositif de mémorisation de l'invention, le contrôleur est agencé pour délivrer, au cours de deux séquences consécutives de 2^N intervalles de temps :

 - sur chacune des deux sorties de commande d'accès, et pour au moins des intervalles de temps distincts des limites des deux séquences, des
25 commandes d'accès alternativement en lecture et en écriture, une commande d'accès en écriture étant délivrée sur l'une desdites sorties de commande d'accès pendant qu'une commande d'accès en lecture est délivrée sur l'autre sortie de commande d'accès et vice-versa ;

 - sur chacune des deux sorties d'adresse, des adresses croissant
30 au cours de l'une des deux séquences et décroissant au cours de l'autre séquence, de telle sorte que, pour au moins des intervalles de temps distincts des limites des deux séquences, l'entrée d'adresse de chaque mémoire reçoive

la même adresse au cours de deux intervalles de temps consécutifs de chaque séquence pendant lesquels l'entrée de commande de ladite mémoire reçoit une commande d'accès en lecture puis une commande d'accès en écriture ; et

5 - sur chaque sortie de commande d'aiguillage, des signaux d'aiguillage réglés pour qu'au cours de chaque séquence, les moyens d'échantillonnage produisent des données issues de la source dans un ordre chronologique inverse de l'ordre chronologique d'arrivée desdites données depuis la source.

10 Un premier avantage d'un dispositif de mémorisation selon l'invention réside dans sa consommation énergétique particulièrement réduite. Cette consommation réduite résulte notamment de son fonctionnement possible avec un total de 2^N emplacements de mémoire seulement, c'est-à-dire autant que la profondeur de la pile inverse correspondante, telle que définie plus haut.

15 Un second avantage d'un dispositif de mémorisation selon l'invention réside dans son fonctionnement possible avec des mémoires de type SP-RAM. Il en résulte une économie importante de surface de substrat semiconducteur, et par conséquent un coût particulièrement bas du dispositif.

20 Un dispositif de mémorisation selon l'invention peut être utilisé pour des données de types variés. En particulier, les données peuvent être des successions de bits telles que des octets, des programmes ou des collections d'éléments d'information devant être produits selon un ordre chronologique inverse de celui d'arrivée de ces mêmes données depuis une source adaptée à chaque type de données. Les deux mémoires du dispositif doivent alors présenter des emplacements de dimension adaptée au type de données
25 mémorisées.

30 Dans un mode de réalisation préféré de l'invention, les signaux d'aiguillage sont délivrés de façon que la sortie des moyens de multiplexage reproduise des données présentes à ladite troisième entrée de données, et ce pendant au moins un intervalle de temps situé à une limite de chaque séquence. Dans ce mode de réalisation et durant les intervalles de temps concernés, les données délivrées par la source sont reproduites à la sortie des moyens de multiplexage avec un retard dû aux moyens de multiplexage

seulement. Le retard introduit par le dispositif de mémorisation entre les séquences de données produites à la sortie des moyens de multiplexage et les séquences des mêmes données délivrées par la source est alors minimal, tout en étant compatible avec le fonctionnement de pile inverse.

5 Des dispositifs de mémorisation selon l'invention peuvent être réalisés avec différents types de mémoires, dont, en particulier, des mémoires SP-RAM à lecture différée ou immédiate. Pour des mémoires SP-RAM à lecture différée, les données lues sont produites sur la sortie de la mémoire pendant l'intervalle de temps suivant immédiatement l'intervalle de temps durant lequel l'entrée de
10 commande de ladite mémoire reçoit une commande d'accès en lecture et l'entrée d'adresse de ladite mémoire reçoit une adresse. Ce premier type de mémoires permet un fonctionnement particulièrement rapide du dispositif de mémorisation. Par opposition, des données lues dans une mémoire SP-RAM à lecture immédiate sont produites sur la sortie de la mémoire pendant le même
15 intervalle de temps durant lequel l'entrée de commande reçoit une commande d'accès en lecture et l'entrée d'adresse reçoit une adresse. Ce second type de mémoires peut être adapté pour des dispositifs de mémorisation incorporés à des circuits comprenant par ailleurs des modules de mémoire de ce type. Il est en effet parfois avantageux d'utiliser un type de mémoires unique à l'intérieur
20 d'un même circuit.

L'invention concerne aussi un procédé de mémorisation et de restitution de données utilisant un dispositif de mémorisation tel que décrit précédemment.

25 D'autres particularités et avantages de la présente invention apparaîtront dans la description ci-après de deux exemples de réalisation non limitatifs, en référence aux dessins annexés, dans lesquels :

- la figure 1 représente l'architecture d'un dispositif de mémorisation selon la présente invention ;

- la figure 2 est un schéma fonctionnel d'un contrôleur adapté pour un
30 dispositif de mémorisation selon la figure 1 utilisant des mémoires de type SP-RAM à lecture différée ;

- la figure 3 est un schéma fonctionnel d'un contrôleur adapté pour un dispositif de mémorisation selon la figure 1 utilisant des mémoires de type SP-RAM à lecture immédiate.

L'architecture de circuit de la figure 1 est commune aux deux modes de réalisation décrits par la suite. Le premier mode de réalisation utilise deux modules de mémoire de type SP-RAM à lecture différée, et le second mode de réalisation utilise deux modules de mémoire de type SP-RAM à lecture immédiate.

Selon la figure 1, le dispositif de mémorisation possède une entrée de données E connectée à une source de données référencée 1000. Cette entrée de données E est reliée par des bus de données respectifs à l'entrée de données 18 d'une première mémoire 10 de l'un des types cités ci-dessus, à l'entrée de données 19 d'une seconde mémoire 20 du même type, et à une première entrée de données 41 d'un multiplexeur 40, noté MUX2 sur la figure 1. Les deux mémoires sont notées RAM1 et RAM2 sur la figure 1.

Les sorties des deux mémoires 10, 20 sont reliées respectivement par des bus de données à une première entrée 31 et à une seconde entrée 32 d'un multiplexeur 30, noté MUX1 sur la figure 1. La sortie de données du multiplexeur 30 (MUX1) est connectée à une seconde entrée de données 42 du multiplexeur 40 (MUX2).

La sortie du multiplexeur 40 (MUX2) est connectée à l'entrée 51 d'une porte D référencée 50 sur la figure 1, dont la sortie 52 constitue la sortie de données S du dispositif de mémorisation de données.

Selon un fonctionnement explicité dans la suite, les données délivrées par la source 1000 sont réparties entre un premier groupe de données, notées DONNEES1 sur la figure 1, qui transitent par la mémoire 10, un second groupe de données, notées DONNEES2, qui transitent par la mémoire 20, et des données transmises directement entre l'entrée E du dispositif et le multiplexeur 40 (MUX 2).

Une horloge non représentée et reliée au contrôleur 1, aux deux multiplexeurs 30, 40 et à la porte D 50 cadence le fonctionnement général du dispositif selon une suite d'intervalles de temps définie. Eventuellement le

cadencement du fonctionnement peut aussi être défini par des signaux d'interrogation et de déclenchement transmis à certains composants du dispositif de mémorisation.

Un contrôleur 1 chargé du pilotage du dispositif de mémorisation possède les sorties suivantes :

- une première et une seconde sorties de commande d'accès 12 et 13 reliées à des entrées de commande respectives de la mémoire 10 (RAM1) et de la mémoire 20 (RAM2). Chacune des sorties 12, 13 transmet une commande d'accès binaire, respectivement R/W1 ou RW2, pendant chaque intervalle de temps. A titre d'exemple, une valeur 0 commande un accès en écriture dans la mémoire 10, 20 concernée, et une valeur 1 commande un accès en lecture ;
- une première et une seconde sorties d'adresse 14 et 15 reliées à des entrées d'adresse respectives des mémoires 10 et 20 par des bus d'adresses respectifs. Les adresses ADDR1 et ADDR2 des mémoires 10 et 20 ainsi transmises sont codées par le contrôleur 1 sur N-1 bits, entre 0 et $2^{N-1}-1$;
- une première et une seconde sorties de commande d'aiguillage 16 et 17 reliées aux entrées de commande d'aiguillage respectives des multiplexeurs 30 et 40. A titre d'exemple, des signaux d'aiguillage AIG1 et AIG2 produits respectivement sur les sorties 16 et 17 ont chacun, pour chaque intervalle de temps, une valeur binaire 0, lorsque la sortie du multiplexeur 30/40 concerné est destinée à reproduire la donnée reçue sur ladite première entrée 31/41 de ce multiplexeur, ou une valeur binaire 1 lorsque la sortie de ce multiplexeur 30/40 est destinée à reproduire la donnée reçue sur ladite seconde entrée 32/42 de ce multiplexeur.

Par ailleurs, chaque multiplexeur 30/40 reproduit instantanément sur sa sortie les données reçues sur sa première entrée 31/41 ou sur sa seconde entrée 32/42 en fonction du signal d'aiguillage AIG1/AIG2 transmis sur son entrée de commande d'aiguillage. Ainsi, pour chaque intervalle de temps, la sortie de chaque multiplexeur 30, 40 reproduit les données reçues pendant ce même intervalle de temps sur l'une de ses deux entrées.

L'invention est maintenant décrite en détail selon un premier mode de

réalisation utilisant deux modules de mémoire de type SP-RAM à lecture différée.

A l'intérieur du contrôleur 1 correspondant à la figure 2, un compteur cyclique 100 produit un numéro de comptage de l'intervalle de temps en cours. Ce numéro de comptage, sur $N+1$ bits, c'est-à-dire compris entre 0 et $2^{N+1}-1$, reprend à 0 lorsque la valeur 2^{N+1} est atteinte. Le compteur 100 est synchronisé avec le système de cadencement du fonctionnement du dispositif global par une liaison non représentée.

Une première branche de circuit interne au contrôleur 1, reliée à la sortie du compteur 100, génère, pour chaque intervalle de temps, l'adresse d'accès ADDR1 à la mémoire 10 (RAM1). Dans cette première branche, un premier numéro partiel de comptage de l'intervalle de temps en cours, sur $N-1$ bits, est obtenu en retirant le bit de poids le plus fort (MSB ou «Most Significant Bit») et le bit de poids le plus faible (LSB ou «Least Significant Bit») au numéro de comptage délivré par le compteur 100. Ce retrait des bits extrêmes du numéro de comptage est réalisé par le séparateur 101.

Le premier numéro partiel de comptage est alors adressé directement sur une première entrée d'un multiplexeur 105 interne au contrôleur 1. Un opérateur numérique 103, opérant sur $N-1$ bits, retranche le premier numéro partiel de comptage au nombre $2^{N-1}-2$ et adresse le résultat à une seconde entrée du multiplexeur 105.

La sortie du multiplexeur 105 est reliée à la sortie 14 du contrôleur 1.

Un séparateur distinct 107, disposé à la sortie du compteur 100, isole le bit de poids le plus fort (MSB) du numéro de comptage de l'intervalle de temps en cours. Ce bit est alors adressé à une entrée de commande du multiplexeur 105, qui reproduit instantanément sur la sortie 14 le signal reçu sur sa première ou sa seconde entrée, respectivement lorsque le bit d'entrée de commande est égal à 0 ou 1. Le signal produit sur la sortie 14 pour chaque intervalle de temps est l'adresse d'accès ADDR1 à la mémoire 10 (RAM1).

L'adresse ADDR1 ainsi obtenue, codée sur $N-1$ bits, est égale au premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-1 , et égale à $2^{N-1}-2$ dont est retranché le premier

numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-1$.

Une seconde branche de circuit interne au contrôleur 1, aussi reliée à la sortie du compteur 100, fournit, pour chaque intervalle de temps, l'adresse d'accès ADDR2 à la mémoire 20 (RAM2). Dans cette seconde branche, un
 5 second numéro partiel de comptage de l'intervalle de temps en cours, sur N-1 bits, est obtenu en ajoutant 1, à nombre de bits constant, au numéro de comptage délivré par le compteur 100, puis en retirant le bit de poids le plus fort (MSB) et le bit de poids le plus faible (LSB). Lors de l'addition de 1, effectuée sur N+1 bits, le résultat reprend la valeur 0 lorsque la valeur 2^{N+1} est
 10 atteinte. Le second numéro partiel de comptage est obtenu par l'opérateur 102 représenté sur la figure 2.

Le second numéro partiel de comptage est alors adressé directement sur une première entrée d'un multiplexeur 106 interne au contrôleur 1. Un
 15 opérateur numérique 104, opérant sur N-1 bits, retranche le second numéro partiel de comptage au nombre $2^{N-1}-1$ et adresse le résultat à une seconde entrée du multiplexeur 106.

La sortie du multiplexeur 106 constitue la sortie 15 du contrôleur 1.

A la sortie de l'opérateur 102, le bit de poids plus fort (MSB) du second
 20 numéro partiel de comptage est par ailleurs adressé à une entrée de commande du multiplexeur 106, qui reproduit instantanément sur la sortie 15 le signal reçu sur sa première ou sa seconde entrée, respectivement lorsque le bit d'entrée de commande est égal à 0 ou 1. Le signal produit sur la sortie 15 pour chaque intervalle de temps est l'adresse d'accès ADDR2 à la mémoire 20
 25 (RAM2).

L'adresse ADDR2 ainsi obtenue, codée sur N-1 bits, est égale au second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-2 , ou de numéro $2^{N+1}-1$, et égale à $2^{N-1}-1$ dont est retranché le second numéro partiel de comptage pendant les intervalles de
 30 temps de numéros respectifs de 2^N-1 à $2^{N+1}-2$, ou de numéro 2^N-1 .

Un séparateur 109, connecté à la sortie du séparateur 107 et relié par sa sortie aux sorties 16 et 13 du contrôleur 1, isole le bit de poids le plus faible

(LSB) du numéro de comptage de l'intervalle de temps en cours. Le bit délivré par le séparateur 109 constitue alors le signal d'aiguillage AIG1 délivré par la sortie 16 du contrôleur 1, et la commande d'accès R/W2 délivrée par la sortie 13. Un inverseur 110 connecté entre la sortie de l'opérateur 109 et la sortie 12 du contrôleur 1 produit la commande d'accès R/W1. De cette façon, pour chaque intervalle de temps, la commande d'accès R/W1, codée sur 1 bit, est contraire au bit de poids le plus faible du numéro de comptage de l'intervalle de temps en cours.

Enfin, un opérateur logique «ET» 111, connecté à la sortie du séparateur 107, reçoit sur son entrée le numéro de comptage de l'intervalle de temps en cours réduit aux N bits de poids les plus faibles, et le compare à $2^N - 1$. La sortie de l'opérateur logique 111 est connectée à la sortie 17 du contrôleur 1, fournissant le signal d'aiguillage AIG2.

Le tableau 1 ci-dessous fournit les valeurs des premier et second numéros partiels de comptage, ainsi que les valeurs des sorties 12 à 17 du contrôleur 1 décrit ci-dessus, pour chaque intervalle de temps. Pour ce tableau, à titre d'exemple, N est pris égal à 3. Une séquence d'intervalles de temps comprend alors 8 intervalles de temps successifs, numérotés de 0 à 7 pour la première séquence par le compteur 100, et de 8 à 15 pour la seconde séquence.

Compteur d'intervalles de temps (100)	Premier numéro partiel (101)	W/R1 (12)	ADDR1 (14)	AIG1 (16)	Second numéro partiel (102)	W/R2 (13)	ADDR2 (15)	AIG2 (17)
0	00	1	0	0	00	0	0	0
1	00	0	0	1	01	1	1	0
2	01	1	1	0	01	0	1	0
3	01	0	1	1	10	1	2	0
4	10	1	2	0	10	0	2	0
5	10	0	2	1	11	1	3	0
6	11	1	3	0	11	0	3	0
7	11	0	3	1	00	1	3	1
8	00	1	2	0	00	0	3	0
9	00	0	2	1	01	1	2	0
10	01	1	1	0	01	0	2	0
11	01	0	1	1	10	1	1	0
12	10	1	0	0	10	0	1	0
13	10	0	0	1	11	1	0	0
14	11	1	3	0	11	0	0	0
15	11	0	3	1	00	1	0	1
16=0	00	1	0	0	00	0	0	0

Tableau 1

Dans le tableau 1, les premier et second numéros partiels de comptage sont indiqués en nombres binaires.

Comme l'indique la dernière ligne du tableau 1, identique à la ligne
5 correspondant à l'intervalle de temps de numéro 0, l'ensemble des valeurs des compteurs d'intervalles de temps et des sorties 12-17 sont reprises cycliquement, étant toutes obtenues à partir du numéro de comptage cyclique, de période 2^{N+1} , délivré par le compteur 100.

Il apparaîtra évident pour l'Homme du Métier que le même tableau de
10 valeurs peut être obtenu avec un contrôleur 1 ayant une structure interne autre que celle décrite plus haut. Il doit donc être entendu que le schéma fonctionnel de la figure 2 ne correspond qu'à un exemple de contrôleur 1 permettant de mettre en œuvre l'invention, et que tout autre type de contrôleur délivrant des signaux de sortie identiques doit être considéré comme équivalent.

Chacune des deux mémoires 10, 20 est conçue pour un mode d'accès en écriture ou en lecture respectivement lorsque la commande d'accès R/W1 ou R/W2 correspondante est égale à 0 ou 1.

Le premier multiplexeur 30 est conçu pour reproduire instantanément sur sa sortie le signal appliqué sur sa première ou seconde entrée respectivement lorsque le signal d'aiguillage AIG1 appliqué à l'entrée de commande du multiplexeur 30 est égal à 0 ou 1. Autrement dit, durant chaque intervalle de temps, le signal de sortie du multiplexeur 30 est égal au signal appliqué à l'une de ses deux entrées. Le multiplexeur 40 possède un fonctionnement identique à celui du multiplexeur 30, transposé en fonction du signal d'aiguillage AIG2.

Dans ces conditions, pour N encore égal à 3, le fonctionnement du dispositif de mémorisation est caractérisé par le tableau 2 suivant, déduit du tableau 1 :

Compteur d'intervalles de temps (100)	Sortie source (1000, E)	Accès RAM1 (12)	Sortie RAM1 (31)	Accès RAM2 (13)	Sortie RAM2 (32)	Sortie MUX1 (42)	Sortie MUX2 (51)	Sortie Porte D (52, S)
0	#0	lecture	-	écriture	- / #14	- / #14	- / #14	- / #15
1	#1	écriture	- / #13	lecture	-	- / #13	- / #13	- / #14
2	#2	lecture	-	écriture	- / #12	- / #12	- / #12	- / #13
3	#3	écriture	- / #11	lecture	-	- / #11	- / #11	- / #12
4	#4	lecture	-	écriture	- / #10	- / #10	- / #10	- / #11
5	#5	écriture	- / #9	lecture	-	- / #9	- / #9	- / #10
6	#6	lecture	-	écriture	- / #8	- / #8	- / #8	- / #9
7	#7	écriture	- / #15	lecture	-	- / #15	- / #7	- / #8
8	#8	lecture	-	écriture	#6	#6	#6	#7
9	#9	écriture	#5	lecture	-	#5	#5	#6
10	#10	lecture	-	écriture	#4	#4	#4	#5
11	#11	écriture	#3	lecture	-	#3	#3	#4
12	#12	lecture	-	écriture	#2	#2	#2	#3
13	#13	écriture	#1	lecture	-	#1	#1	#2
14	#14	lecture	-	écriture	#0	#0	#0	#1
15	#15	écriture	#7	lecture	-	#7	#15	#0

Tableau 2

Dans le tableau 2, chaque signe # indique un numéro d'identification

de la donnée concernée, repérée par rapport à l'intervalle de temps pendant lequel la source 1000 a produit cette donnée (deuxième colonne du tableau 2). Lorsque deux mentions alternatives sont inscrites dans une case du tableau 2, la première mention correspond à la valeur prise lors d'une première exécution du cycle de fonctionnement du dispositif de mémorisation, et la seconde mention correspond à la valeur prise lorsque le cycle de fonctionnement du dispositif a déjà été préalablement exécuté. Un tiret indiqué à la place d'une mention signifie l'absence de valeur déterminée pour la sortie concernée, ce qui intervient lors d'une première exécution du cycle, ou correspond à une opération n'aboutissant pas à la délivrance d'une valeur déterminée.

En comparant la dernière colonne du tableau 2 indiquant les données successivement délivrées par la sortie S du dispositif aux données produites à l'entrée E (deuxième colonne du tableau 2), on constate que le fonctionnement du dispositif de mémorisation correspond effectivement à celui d'une pile inverse de profondeur $2^N = 2^3 = 8$.

Il apparaîtra à l'Homme du métier que les valeurs d'adresse ADDR1 et de la commande d'accès R/W1 indiquées dans le tableau 1 pour les intervalles de temps $2^N - 2$, $2^N - 1$, $2^{N+1} - 2$ et $2^{N+1} - 1$ peuvent être remplacées par d'autres valeurs, à condition que ces remplacements soient sans effet sur le contenu de la mémoire 10 inscrit pendant les autres intervalles de temps. Le fonctionnement global en pile inverse du tableau 2 (dernière colonne du tableau 2) reste alors inchangé. De même, les valeurs de ADDR2 et R/W2 indiquées pour les intervalles de temps $2^N - 1$ et $2^{N+1} - 1$ peuvent être modifiées dans les mêmes conditions.

Un second mode de réalisation d'un dispositif de mémorisation selon l'invention est maintenant décrit, qui utilise deux modules de mémoire de type SP-RAM à lecture immédiate. L'architecture du dispositif représentée sur la figure 1 est reprise pour ce second mode de réalisation.

La figure 3 représente le schéma fonctionnel d'un contrôleur 100 adapté pour l'utilisation de mémoires SP-RAM à lecture immédiate. Le contrôleur 1 comprend encore des compteurs 100, 101 et 102 basés sur l'intervalle de temps en cours, identiques à ceux décrits dans le premier mode

de réalisation. Les sorties des compteurs 101 et 102 sont respectivement connectées aux premières entrées des multiplexeurs 105 et 106. Par ailleurs, les sorties des compteurs 101 et 102 sont aussi connectées aux entrées de deux opérateurs numériques identiques 103' et 104', opérant chacun sur N-1 bits. Les opérateurs 103' et 104' retranchent chacun les valeurs reçues en entrée à $2^{N-1}-1$. La sortie de l'opérateur 103' est reliée à la seconde entrée du multiplexeur 106, et celle de l'opérateur 104' est reliée à la seconde entrée du multiplexeur 105.

Les deux multiplexeurs 105 et 106 reçoivent sur leur entrée de commande respective le bit de poids le plus fort (MSB) du numéro de comptage de l'intervalle de temps en cours produit par le compteur 100. Ce bit de poids le plus fort (MSB) est isolé par le séparateur 107. Les multiplexeurs 105, 106 sont agencés pour reproduire instantanément sur leur sortie respective le signal reçu sur leur première ou seconde entrée respective, lorsque le signal reçu sur leur entrée de commande est égal à 0 ou 1, respectivement.

La sortie du multiplexeur 105 est reliée à la sortie 14 du contrôleur 1, transmettant l'adresse ADDR1, et la sortie du multiplexeur 106 est reliée à la sortie 15, transmettant l'adresse ADDR2.

Le séparateur 107 délivre par ailleurs les N bits de poids les plus faibles (LSB) du numéro de comptage de l'intervalle de temps en cours à l'opérateur logique «ET» 111. L'opérateur 111 compare la valeur reçue à son entrée à 2^N-1 , et délivre à sa sortie le signal binaire 1 en cas d'égalité, sinon le signal binaire 0. Ce signal binaire est délivré à un inverseur 112, dont la sortie génère le second signal d'aiguillage AIG2 et est reliée à la sortie 17 du contrôleur 1.

Le séparateur 108 isole le bit de poids le plus faible (LSB) du numéro de comptage de l'intervalle de temps en cours, et est connecté à l'entrée de l'inverseur 113. Les sorties du séparateur 107 et de l'inverseur 113 délivrant respectivement le bit de poids le plus fort (MSB) et un signal binaire contraire au bit de poids le plus faible (LSB) du numéro de comptage de l'intervalle de temps en cours sont reliées aux entrées de l'opérateur logique 114, opérant

l'opération logique «ou exclusif», notée «OU_EX». Un opérateur logique «OU» 115 reçoit en entrées les signaux binaires produits par les opérateurs 111 et 114, et produit en sortie la commande d'accès R/W1 transmise sur la sortie 12 du contrôleur 1. Enfin, un inverseur 116 produit la commande d'accès R/W2 à partir du signal de sortie de l'opérateur 115, et est connecté à la sortie 13 du contrôleur 1. Le signal AIG1 transmis sur la sortie 16 est identique à la commande d'accès R/W2.

Ainsi, les commandes d'accès R/W1 et R/W2 correspondent, pour chaque intervalle de temps, aux expressions respectives :

$$\begin{aligned} \text{R/W1} &= [\text{C}(0) \text{ OU_EX } \text{C}(N)] \text{ OU } \text{C}^c[\text{AIG2}], \text{ et} \\ \text{R/W2} &= [\text{C}(0) \text{ OU_EX } \text{C}(N)] \text{ OU } \text{C}^c[\text{AIG2}], \text{ avec :} \end{aligned}$$

C(0) est le bit de poids le plus faible (LSB) de l'intervalle de temps en cours, C(N) est le bit de poids le plus fort (MSB) de l'intervalle de temps en cours, C^cX désigne la valeur contraire de la variable binaire X.

On peut aussi utiliser : $\text{R/W2} = \text{C}^c\text{R/W1}$, R/W1 étant encore donné par la première des deux formules ci-dessus.

Eventuellement, l'opérateur «OU» 115 peut être supprimé, ainsi que sa connexion à l'entrée de l'opérateur 112. La sortie de l'opérateur «OU_EX» 114 est alors directement connectée aux sorties 12 et 16 du contrôleur 1 et à l'entrée de l'inverseur 116. Les formules précédentes deviennent alors :

$$\begin{aligned} \text{R/W1} &= [\text{C}(0) \text{ OU_EX } \text{C}(N)], \text{ et} \\ \text{R/W2} &= \text{C}^c\text{R/W1} . \end{aligned}$$

Le tableau 1bis ci-dessous correspond au tableau 1, transposé au second mode de réalisation, N étant encore pris égal à 3, à titre d'exemple :

Compteur d'intervalles de temps (100)	Premier numéro partiel (101)	W/R1 (12)	ADDR1 (14)	AIG1 (16)	Second numéro partiel (102)	W/R2 (13)	ADDR2 (15)	AIG2 (17)
0	00	1	0	0	00	0	0	1
1	00	0	0	1	01	1	1	1
2	01	1	1	0	01	0	1	1
3	01	0	1	1	10	1	2	1
4	10	1	2	0	10	0	2	1
5	10	0	2	1	11	1	3	1
6	11	1	3	0	11	0	3	1
7	11	0	3	1	00	1	0	0
8	00	0	3	1	00	1	3	1
9	00	1	2	0	01	0	3	1
10	01	0	2	1	01	1	2	1
11	01	1	1	0	10	0	2	1
12	10	0	1	1	10	1	1	1
13	10	1	0	0	11	0	1	1
14	11	0	0	1	11	1	0	1
15	11	1	3	0	00	0	0	0
16=0	00	1	0	0	00	0	0	1

Tableau 1bis

Les mémoires 10 et 20 ainsi que les multiplexeurs 30 et 40 ont chacun des fonctionnements identiques à ceux décrits pour le premier mode de réalisation. Le tableau 2bis ci-dessous est alors déduit du tableau 1bis en

5 référence à la figure 1 :

Compteur d'intervalles de temps (100)	Sortie source (1000, E)	Accès RAM1 (12)	Sortie RAM1 (31)	Accès RAM2 (13)	Sortie RAM2 (32)	Sortie MUX1 (42)	Sortie MUX2 (51)	Sortie Porte D (52, S)
0	#0	lecture	- / #14	écriture	-	- / #14	- / #14	- / #15
1	#1	écriture	-	lecture	- / #13	- / #13	- / #13	- / #14
2	#2	lecture	- / #12	écriture	-	- / #12	- / #12	- / #13
3	#3	écriture	-	lecture	- / #11	- / #11	- / #11	- / #12
4	#4	lecture	- / #10	écriture	-	- / #10	- / #10	- / #11
5	#5	écriture	-	lecture	- / #9	- / #9	- / #9	- / #10
6	#6	lecture	- / #8	écriture	-	- / #8	- / #8	- / #9
7	#7	écriture	-	lecture	- / #0	- / #0	- / #7	- / #8
8	#8	écriture	-	lecture	#6	#6	#6	#7
9	#9	lecture	#5	écriture	-	#5	#5	#6
10	#10	écriture	-	lecture	#4	#4	#4	#5
11	#11	lecture	#3	écriture	-	#3	#3	#4
12	#12	écriture	-	lecture	#2	#2	#2	#3
13	#13	lecture	#1	écriture	-	#1	#1	#2
14	#14	écriture	-	lecture	#0	#0	#0	#1
15	#15	écriture	-	lecture	#0	#0	#15	#0

Tableau 2bis

Il apparaîtra évident à l'Homme du métier au regard des tableaux 1bis et 2bis que les valeurs des commandes d'accès et d'adresses R/W1, ADDR1, R/W2 et ADDR2 peuvent être remplacées par des valeurs sans effet sur le contenu des mémoires 10, 20 pour les instants 2^N-1 et $2^{N+1}-1$. Les données délivrées à chaque intervalle de temps par le dispositif de mémorisation restent alors identiques.

Le second mode de réalisation correspond bien encore à un fonctionnement de pile inverse de profondeur 2^N .

Il est entendu que, pour les deux modes de réalisation décrits, les mémoires 10, 20 et les multiplexeurs 30, 40, 105 et 106 peuvent être remplacés par des éléments analogues pour lesquels les commandes d'accès ou les signaux d'aiguillage sont inverses de ceux cités plus haut. Le contrôleur 1 doit alors être adapté en conséquence, sans que le principe de l'invention et l'architecture du dispositif de mémorisation représentée sur la figure 1 soient modifiés.

REVENDICATIONS

1. Dispositif de mémorisation comprenant :

- 5 - deux mémoires à accès aléatoire (10, 20) ayant chacune au moins 2^{N-1} emplacements pour stocker des données à des adresses respectives, N étant un entier supérieur à 1, une entrée de données (18, 19) reliée à une source de données (1000), une entrée de commande, une entrée d'adresse et une sortie ;
 - 10 - des moyens de multiplexage (30, 40) ayant des première et seconde entrées de données (31, 32) respectivement reliées aux sorties de données des deux mémoires (10, 20), une troisième entrée de données reliée à la source de données (1000) et une sortie (51) reproduisant des données présentes à l'une desdites première, seconde et troisième entrées de données sélectionnée par des signaux d'aiguillage ;
 - 15 - un contrôleur (1) pour délivrer, dans des intervalles de temps successifs, des signaux électriques sur des sorties du contrôleur incluant deux sorties de commande d'accès (12, 13) respectivement reliées aux entrées de commande des deux mémoires (10, 20), deux sorties d'adresse (14, 15) respectivement reliées aux entrées d'adresse des deux mémoires et au moins une sortie de commande d'aiguillage (16, 17) pour délivrer lesdits signaux
20 d'aiguillage ; et
 - des moyens (50) pour échantillonner la sortie des moyens de multiplexage (30, 40) au début de chaque intervalle de temps et produire des données de sortie du dispositif,
- dans lequel le contrôleur (1) est agencé pour délivrer, au cours de
25 deux séquences consécutives de 2^N intervalles de temps :
- sur chacune des deux sorties de commande d'accès (12, 13), et pour au moins des intervalles de temps distincts des limites des deux séquences, des commandes d'accès (R/W1, R/W2) alternativement en lecture et en écriture, une commande d'accès en

écriture étant délivrée sur l'une desdites sorties de commande d'accès pendant qu'une commande d'accès en lecture est délivrée sur l'autre sortie de commande d'accès et vice-versa ;

5 - sur chacune des deux sorties d'adresse (14, 15), des adresses (ADDR1, ADDR2) croissant au cours de l'une des deux séquences et décroissant au cours de l'autre séquence, de telle sorte que, pour au moins des intervalles de temps distincts des limites des deux séquences, l'entrée d'adresse de chaque mémoire reçoive la même adresse au cours de deux intervalles de temps consécutifs de
10 chaque séquence pendant lesquels l'entrée de commande de ladite mémoire reçoit une commande d'accès en lecture puis une commande d'accès en écriture ; et

15 - sur chaque sortie de commande d'aiguillage, des signaux d'aiguillage (AIG1, AIG2) réglés pour qu'au cours de chaque séquence, les moyens d'échantillonnage (50) produisent des données issues de la source (1000) dans un ordre chronologique inverse de l'ordre chronologique d'arrivée desdites données depuis la source.

2. Dispositif selon la revendication 1, dans lequel, pendant au moins un intervalle de temps situé à une limite de chaque séquence, les signaux
20 d'aiguillage sont délivrés de façon que la sortie des moyens de multiplexage (51) reproduise des données présentes à ladite troisième entrée de données.

3. Dispositif selon l'une quelconque des revendications précédentes, dans lequel le contrôleur (1) est agencé pour coder les adresses de chaque mémoire sur N-1 bits.

25 4. Dispositif selon l'une quelconque des revendications précédentes, dans lequel les moyens de multiplexage comprennent :

 - un premier multiplexeur (30) ayant :

 - une entrée de commande d'aiguillage reliée à une première sortie de commande d'aiguillage (16) du contrôleur (1),

- une première (31) et une seconde (32) entrées de données reliées respectivement aux sorties des deux mémoires (10, 20), et
 - une sortie reproduisant les signaux de la première ou de la seconde entrée dudit premier multiplexeur selon un premier signal d'aiguillage (AIG1) appliqué à l'entrée de commande dudit premier multiplexeur ;
 - un second multiplexeur (40) ayant :
 - une entrée de commande d'aiguillage reliée à une seconde sortie de commande d'aiguillage (17) du contrôleur (1),
 - une première (41) et une seconde (42) entrées de données reliées respectivement à la source de données (1000) et à la sortie du premier multiplexeur (30), et
 - une sortie (51) reproduisant les signaux de la première ou de la seconde entrée dudit second multiplexeur selon un second signal d'aiguillage (AIG2) appliquée à l'entrée de commande dudit second multiplexeur.
5. Dispositif selon la revendication 4, dans lequel le contrôleur (1) est agencé de façon à ce que le premier signal d'aiguillage (AIG1) et la commande d'accès (R/W1 / R/W2) délivrée par le contrôleur à l'une des deux mémoires (10 / 20) soient des signaux binaires identiques entre eux, pour au moins des intervalles de temps distincts des limites des deux séquences.
6. Dispositif selon l'une quelconque des revendications précédentes, dans lequel les moyens (50) pour échantillonner la sortie des moyens de multiplexage (30, 40) comprennent une bascule D.
7. Dispositif selon l'une quelconque des revendications 1 à 6, dans lequel les deux mémoires (10, 20) sont des mémoires à lecture différée, les données lues dans chaque mémoire étant produites sur la sortie de ladite mémoire pendant l'intervalle de temps suivant immédiatement l'intervalle de

temps durant lequel l'entrée de commande de ladite mémoire reçoit une commande d'accès en lecture et l'entrée d'adresse de ladite mémoire reçoit une adresse.

8. Dispositif selon les revendications 4 et 7, dans lequel le contrôleur

5 (1) comprend :

- un compteur cyclique (100) des intervalles de temps des deux séquences consécutives, agencé pour produire un numéro sur $N+1$ bits, entre 0 et $2^{N+1}-1$, de comptage de l'intervalle de temps en cours ;

10 - des moyens (109, 110) pour générer sur une première sortie de commande d'accès (12) reliée à une première des deux mémoires (10) une première commande d'accès binaire (R/W1) contraire au bit de poids le plus faible du numéro de comptage de l'intervalle de temps en cours, pendant les intervalles de temps de numéros respectifs de 0 à 2^N-3 et de 2^N à $2^{N+1}-3$;

15 - des moyens (109) pour générer la seconde commande d'accès (R/W2) sur une seconde sortie de commande d'accès (13) reliée à la seconde des deux mémoires (20) sous forme du bit de poids le plus faible du numéro de comptage de l'intervalle de temps en cours, pendant les intervalles de temps de numéros respectifs de 0 à 2^N-2 et de 2^N à $2^{N+1}-2$;

20 - des moyens (101) pour produire, pendant chaque intervalle de temps, un premier numéro partiel de comptage d'intervalles de temps sur $N-1$ bits, égal au numéro de comptage de l'intervalle de temps en cours auquel le bit de poids le plus fort et le bit de poids le plus faible ont été retirés ;

25 - des moyens (103, 105) pour générer sur une première sortie d'adresse (14) reliée à l'entrée d'adresse de ladite première mémoire (10) une adresse (ADDR1) égale au premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-3 , et égale à $2^{N-1}-2$ dont est retranché le premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-3$;

30 - des moyens (102) pour produire, pendant chaque intervalle de temps, un second numéro partiel de comptage d'intervalles de temps sur $N-1$

bits, égal au numéro de comptage de l'intervalle de temps en cours, auquel 1 est additionné; puis auquel le bit de poids le plus fort et le bit de poids le plus faible ont été ensuite retirés ;

5 - des moyens (104, 106) pour générer sur une seconde sortie d'adresse (15) reliée à l'entrée d'adresse de ladite seconde mémoire (20) une adresse (ADDR2) égale au second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-2 , et égale à $2^{N-1}-1$ dont est retranché le second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-2$;

10 - des moyens pour générer sur la première sortie de commande d'aiguillage (16) le premier signal d'aiguillage (AIG1) sous forme d'un signal binaire contraire à ladite première commande d'accès (R/W1) ;

15 - des moyens (107, 111) pour générer sur la seconde sortie de commande d'aiguillage (17) le second signal d'aiguillage (AIG2) sous forme d'un signal binaire égal à 1 lorsque le numéro de comptage de l'intervalle de temps en cours, réduit au N bits de poids les plus faibles, est égal à 2^N-1 , et égal à 0 sinon ;

20 chacune des deux mémoires (10, 20) étant en mode d'accès en écriture ou en lecture lorsque la commande d'accès correspondante (R/W1 / R/W2) est égale à 0 ou 1, respectivement ;

25 les premier (30) et second (40) multiplexeurs étant chacun agencés pour reproduire sur la sortie dudit multiplexeur un signal appliqué sur la première ou la seconde entrée dudit multiplexeur, lorsque le signal d'aiguillage (AIG1/AIG2) appliqué à l'entrée de commande dudit multiplexeur est égal à 0 ou 1, respectivement.

9. Dispositif selon la revendication 8, dans lequel :

30 - les moyens du contrôleur (1) pour générer la première commande d'accès (R/W1) sont agencés pour produire pendant chaque intervalle de temps un signal binaire contraire au bit de poids le plus faible du numéro de comptage de l'intervalle de temps en cours ;

- les moyens du contrôleur (1) pour générer une adresse (ADDR1) sur ladite première sortie d'adresse (14) sont agencés pour produire une adresse égale au premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-1 , et égale à $2^{N-1}-2$ dont est retranché le premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-1$;

- les moyens du contrôleur (1) pour générer la seconde commande d'accès (R/W2) sont agencés pour produire pendant chaque intervalle de temps un signal égal au bit de poids le plus faible de l'intervalle de temps en cours ; et

- les moyens du contrôleur (1) pour générer une adresse (ADDR2) sur ladite seconde sortie d'adresse (15) sont agencés pour produire une adresse égale au second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-2 ou de numéros $2^{N+1}-1$, et égal à $2^{N-1}-1$ dont est retranché le second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-1$, ou de numéro 2^N-1 .

10. Dispositif selon la revendication 9, dans lequel le contrôleur (1) comprend :

- un premier multiplexeur interne (105) ayant une première entrée reliée pour recevoir le premier numéro partiel de comptage, une seconde entrée reliée pour recevoir la valeur, sur N-1 bits, de $2^{N-1}-2$ auquel est retranché le premier numéro partiel de comptage, une entrée de commande reliée pour recevoir le bit de poids le plus fort du numéro de comptage de l'intervalle de temps en cours, et agencé pour reproduire sur une sortie reliée à la première sortie d'adresse du contrôleur (14) la valeur reçue sur la première ou la seconde entrée dudit premier multiplexeur interne, lorsque la valeur appliquée à l'entrée de commande dudit premier multiplexeur interne est 0 ou 1, respectivement ; et

- un second multiplexeur interne (106) ayant une première entrée reliée pour recevoir le second numéro partiel de comptage, une seconde entrée reliée pour recevoir la valeur, sur N-1 bits, de $2^{N-1}-1$ auquel est

- retranché le second numéro partiel de comptage, une entrée de commande reliée pour recevoir le bit de poids le plus fort du numéro de comptage de l'intervalle de temps en cours auquel 1 est additionné, et agencé pour reproduire sur une sortie reliée à la seconde sortie d'adresse du contrôleur (15)
- 5 la valeur reçue sur la première ou la seconde entrée dudit second multiplexeur interne, lorsque la valeur appliquée à l'entrée de commande dudit second multiplexeur interne est 0 ou 1, respectivement.
11. Dispositif selon l'une quelconque des revendications 1 à 6, dans lequel les mémoires (10, 20) sont des mémoires à lecture instantanée, les
- 10 données lues dans chaque mémoire étant produites sur la sortie de ladite mémoire pendant l'intervalle de temps durant lequel l'entrée de commande de ladite mémoire reçoit une commande d'accès en lecture et l'entrée d'adresse de ladite mémoire reçoit une adresse.
12. Dispositif selon les revendications 4 et 11, dans lequel le contrôleur
- 15 (1) comprend :
- un compteur cyclique (100) des intervalles de temps des deux séquences consécutives, agencé pour produire un numéro sur $N+1$ bits, entre 0 et $2^{N+1}-1$, de comptage de l'intervalle de temps en cours ;
 - des moyens (101) pour produire, pendant chaque intervalle de

20 temps, un premier numéro partiel de comptage d'intervalles de temps sur $N-1$ bits, égal au numéro de comptage de l'intervalle de temps en cours auquel le bit de poids le plus fort et le bit de poids le plus faible ont été retirés ;

 - des moyens (102) pour produire, pendant chaque intervalle, un second numéro partiel de comptage d'intervalles de temps sur $N-1$ bits, égal au

25 numéro de comptage de l'intervalle de temps en cours, auquel 1 est additionné, puis auquel le bit de poids le plus fort et le bit de poids le plus faible ont été ensuite retirés ;

 - des moyens (111, 112) pour générer sur ladite seconde sortie de commande d'aiguillage (17) le second signal d'aiguillage (AIG2) sous forme

30 d'un signal binaire égal à 0 lorsque le numéro de comptage de l'intervalle de

temps en cours, réduit au N bits de poids les plus faibles, est égal à 2^N-1 , et égal à 1 sinon ;

- des moyens (104', 105) pour générer sur une première sortie d'adresse (14) reliée à l'entrée d'adresse d'une première des deux mémoires (10) une adresse (ADDR1) égale au premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-2 , et égale à $2^{N-1}-1$ dont est retranché le second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-2$;

- des moyens (103', 106) pour générer sur une seconde sortie d'adresse (15) reliée à l'entrée d'adresse de la seconde des deux mémoires (20) une adresse (ADDR2) égale au second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-2 , et égale à $2^{N-1}-1$ dont est retranché le premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 2^N à $2^{N+1}-2$;

- des moyens (111, 116) pour générer sur une première sortie de commande d'accès (12) reliée à ladite première mémoire (10) une première commande d'accès binaire (R/W1) égale à, pour les intervalles de temps de numéros distincts de 2^N-1 et $2^{N+1}-1$:

$[^C C(0) \text{ OU_EX } C(N)] \text{ OU } ^C [\text{second signal d'aiguillage (AIG2)}]$, où :

C(0) est le bit de poids le plus faible de l'intervalle de temps en cours,

C(N) est le bit de poids le plus fort de l'intervalle de temps en cours,

OU_EX est l'opérateur binaire ou exclusif,

$^C X$ désigne la valeur contraire de la variable binaire X ;

- des moyens pour générer sur la seconde sortie de commande d'accès (13) reliée à ladite seconde mémoire (20) une seconde commande d'accès binaire (R/W2) égale à $[C(0) \text{ OU_EX } C(N)] \text{ OU } ^C [\text{second signal d'aiguillage (AIG2)}]$, pour les intervalles de temps de numéros respectifs distincts de 2^{N-1} et $2^{N+1}-1$;

- des moyens pour générer sur la première sortie de consignes d'aiguillage (16) un signal binaire (AIG1) contraire à la première commande d'accès (R/W1) ;

chacune des deux mémoires (10, 20) étant en mode d'accès en écriture ou en lecture lorsque la commande d'accès correspondante (R/W1 / R/W2) est égale à 0 ou 1, respectivement ;

les premier (30) et second (40) multiplexeurs étant chacun agencés pour reproduire sur la sortie dudit multiplexeur un signal appliqué sur la première ou la seconde entrée dudit multiplexeur, lorsque le signal d'aiguillage (AIG1/AIG2) appliqué à l'entrée de commande dudit multiplexeur est égal à 0 ou 1, respectivement.

13. Dispositif selon la revendication 12, dans lequel :

10 - les moyens du contrôleur (1) pour générer la première commande d'accès (R/W1) sont agencés pour produire pendant chaque intervalle de temps un signal binaire égal à $[C(0) \text{ OU_EX } C(N)]$;

15 - les moyens du contrôleur (1) pour générer la seconde commande d'accès (R/W2) sont agencés pour produire pendant chaque intervalle de temps un signal binaire contraire à la première commande d'accès (R/W1).

20 - les moyens (104',105) pour générer une adresse (ADDR1) sur la première sortie d'adresse (14) sont agencés pour produire un signal égal au premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-1 , et égal à $2^{N-1}-1$ dont est retranché le second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs 2^N à $2^{N+1}-1$;

25 - les moyens (103',106) pour générer une adresse (ADDR2) sur la seconde sortie d'adresse (15) sont agencés pour produire un signal égal au second numéro partiel de comptage pendant les intervalles de temps de numéros respectifs de 0 à 2^N-1 , et égal à $2^{N-1}-1$ dont est retranché le premier numéro partiel de comptage pendant les intervalles de temps de numéros respectifs 2^N à $2^{N+1}-1$.

14. Dispositif selon la revendication 13, dans lequel le contrôleur (1) comprend :

... - un premier multiplexeur interne (105) ayant une première entrée
reliée pour recevoir le premier numéro partiel de comptage, une seconde
entrée reliée pour recevoir la valeur, sur $N-1$ bits, de $2^{N-1}-1$ auquel est
retranché le second numéro partiel de comptage, une entrée de commande
5 reliée pour recevoir le bit de poids le plus fort du numéro de comptage de
l'intervalle de temps en cours, et agencé pour reproduire sur une sortie reliée à
la première sortie d'adresse du contrôleur (14) la valeur reçue sur la première
ou la seconde entrée dudit premier multiplexeur interne, lorsque la valeur
appliquée à l'entrée de commande dudit premier multiplexeur interne est 0 ou
10 1, respectivement ; et

- un second multiplexeur interne (106) ayant sur une première
entrée reliée pour recevoir le second numéro partiel de comptage, une
seconde entrée reliée pour recevoir la valeur, sur $N-1$ bits, de $2^{N-1}-1$ auquel est
retranché le premier numéro partiel, une entrée de commande reliée pour
15 recevoir le bit de poids le plus fort du numéro de comptage de l'intervalle de
temps en cours, et agencé pour reproduire sur une sortie reliée à la seconde
sortie d'adresse du contrôleur (15) la valeur reçue sur la première ou la
seconde entrée dudit second multiplexeur interne, lorsque la valeur appliquée à
l'entrée de commande dudit second multiplexeur interne est 0 ou 1,
20 respectivement.

15. Procédé de mémorisation de données utilisant un dispositif de
mémorisation selon l'une quelconque des revendications 1 à 14.

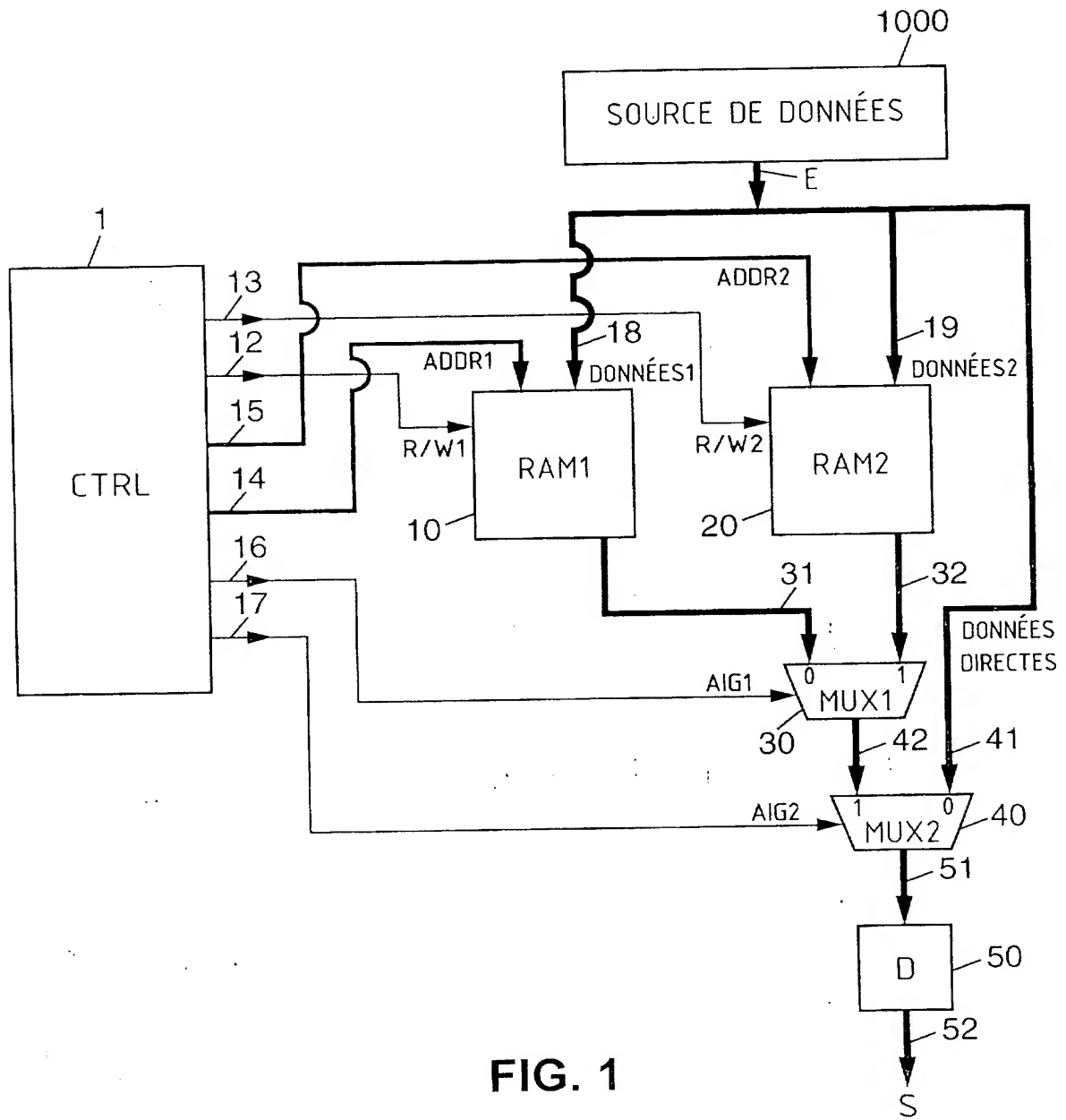


FIG. 1

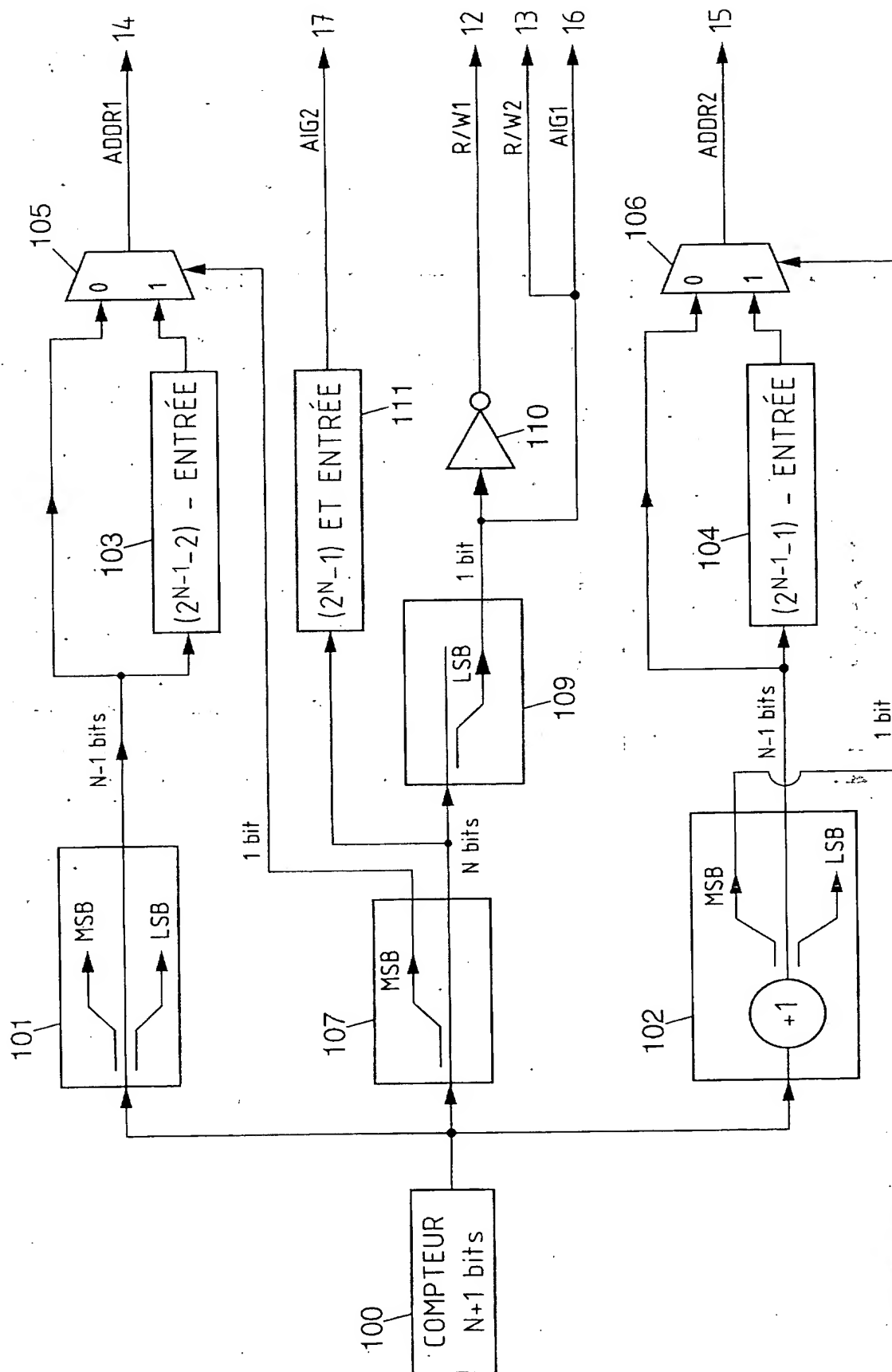


FIG. 2

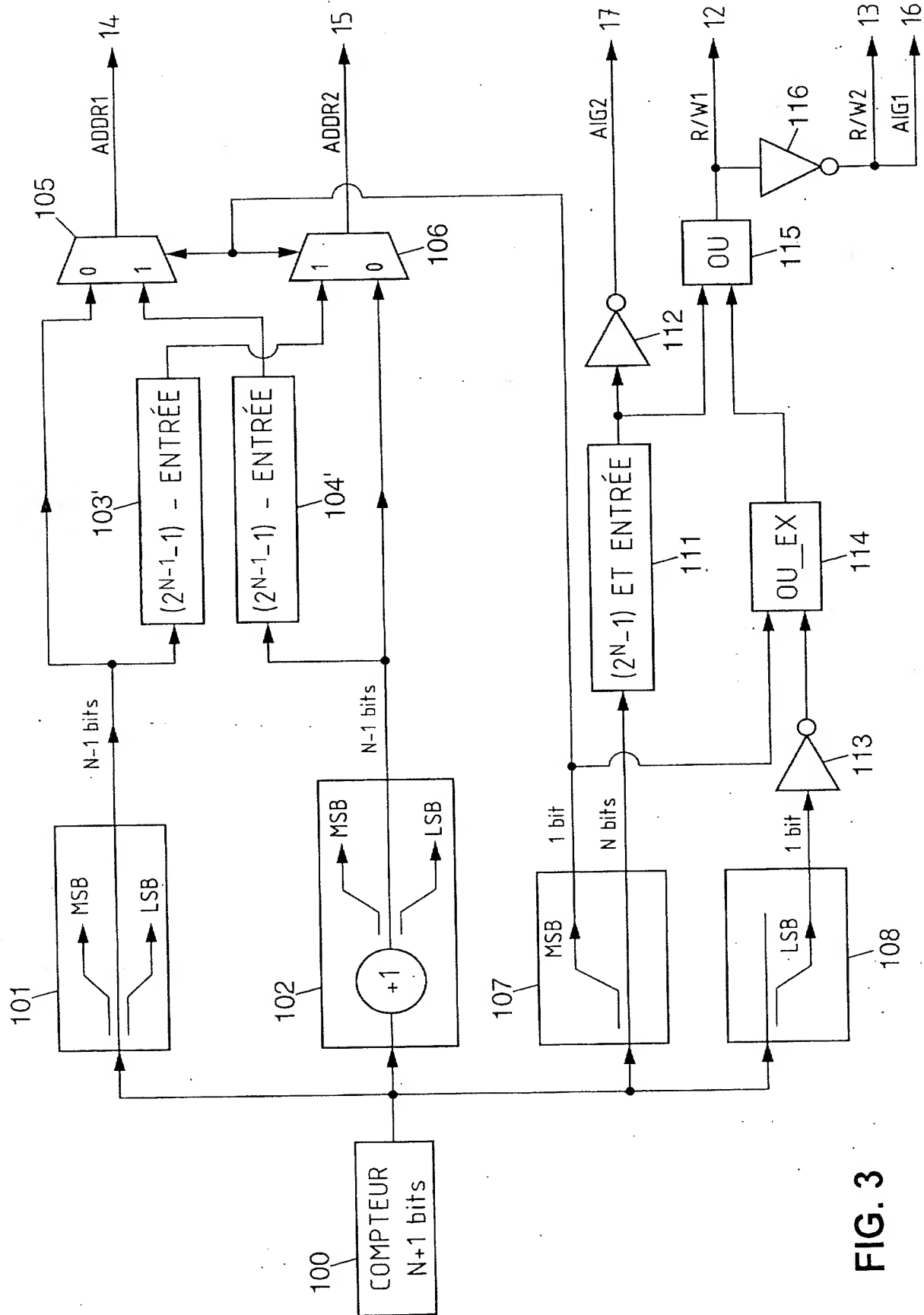


FIG. 3

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1/1.
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

INV

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 300301

Vos références pour ce dossier (facultatif)		SV/PHB/NC/BFF020204	
N° D'ENREGISTREMENT NATIONAL		0212563	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
DISPOSITIF DE MEMORISATION DE DONNEES DE TYPE LIFO INCORPORANT DEUX MEMOIRES A ACCES ALEATOIRE			
LE(S) DEMANDEUR(S) :			
STMICROELECTRONICS SA			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		URARD Pascal	
Prénoms			
Adresse	Rue	Montgoye	38570 THEYS FRANCE
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Le 11 octobre 2002	
		CABINET PLASSERAUD	
		Stéphane VERDURE	
		CPI. N° 97-0901	

